

MENU

SEARCH

INDEX

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-095299

(43)Date of publication of application : 27.03.1992

(51)Int.Cl. G11C 29/00
G11C 11/401

(21)Application number : 02-211219

(71)Applicant : NEC CORP

(22)Date of filing : 09.08.1990

(72)Inventor : HIRATA MASAYOSHI

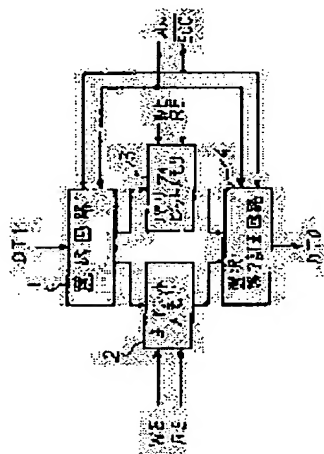
(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To effectively utilize the memory by constituting the device so that data to which reliability of a high level is requested is allowed to pass through an error correcting circuit, other data is not allowed to pass through the error correcting circuit and a main bit memory and a parity memory are used as store places of the data.

CONSTITUTION: The device is provided with a selecting circuit 1 for transferring input data DT1 to an output terminal in accordance with a level of a mode control signal ECC and a selection control signal AN, a main bit memory 2 for storing the data by a write control signal WE and reading out the stored data in accordance with a read-out control signal RE, and a parity bit memory 3 for storing the data and reading out the data in the same way.

Also, this device is provided with a selecting/error correcting circuit 4 for executing an error correction processing to the data from the memories 2, 3 at the time when the mode control signal ECC is in an active level, and selecting and outputting the data from the memories 2, 3 at the time when the mode control signal is in a non-active level. In such a way, the main bit memory 2 and the parity bit memory 3 can be used as mere store places of data, and the memory can be utilized effectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-95299

⑬ Int. Cl.⁵

G 11 C 29/00
11/401

識別記号

3 0 2

庁内整理番号

8526-5L

⑭ 公開 平成4年(1992)3月27日

8526-5L

G 11 C 11/34

3 7 1 C

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 平2-211219

⑰ 出 願 平2(1990)8月9日

⑱ 発 明 者 平 田 昌 義 東京都港区芝5丁目7番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

半 導 体 記 憶 装 置

特 許 請 求 の 範 囲

1. 第1及び第2の出力端を備え、モード制御信号及び選択制御信号のレベルに応じて入力データを前記第1及び第2の出力端へ伝達する選択回路と、書込み動作時この選択回路の第1の出力端からのデータを記憶し、読出し動作時記憶されているデータを読出す主ビットメモリと、書込み動作時前記選択回路の第2の出力端からのデータを記憶し、読出し動作時記憶されているデータを読出すパリティビットメモリと、前記モード制御信号が能動レベルのとき前記主ビットメモリ及びパリティビットメモリからのデータに対し誤り訂正処理を行い出力し、前記モード制御信号が非能動レベルのとき前記選択制御信号のレベルに応じて前記主ビットメモリ及びパリティビットメモリか

らのデータを選択し出力する選択・誤り訂正回路とを有することを特徴とする半導体記憶装置。

2. 第1～第3の出力端を備え、入力データを、モード制御信号が能動レベルのとき前記第1の出力端へ伝達し、前記モード制御信号が非能動レベルのとき選択制御信号のレベルに応じて前記第2及び第3の出力端へ伝達する第1の選択回路と、前記第1の選択回路の第1の出力端からのデータに対し所定の誤り訂正論理処理を行い主ビット及びパリティビットを出力する第1の誤り訂正論理回路と、書込み動作時、前記モード制御信号が能動レベルであれば前記主ビットを記憶し非能動レベルであれば前記第1の選択回路の第2の出力端からのデータを記憶し、読出し動作時記憶されているデータを読出す主ビットメモリと、前記第1の選択回路の第3の出力端からのデータを入力しこのデータを所定のビット単位で出力する第1のデータ出力切換回路と、書込み動作時、前記モード制御信号が能動レベルであれば前記パリティビットを記憶し非能動レベルであれば前記第1

のデータ出力切換回路からのデータを記憶し、読出し動作時記憶されているデータを読出すパリティビットメモリと、前記主ビットメモリ及びパリティビットメモリからのデータに対し所定の誤り訂正論理処理を行い出力する第2の誤り訂正論理回路と、前記パリティビットメモリからのデータを入力しこのデータを所定のビット単位で出力する第2のデータ出力切換回路と、前記モード制御信号が能動レベルのとき前記第2の誤り訂正論理回路からのデータを読み出し、前記モード制御信号が非能動レベルのとき前記選択制御信号のレベルに応じて前記主ビットメモリ及び第2のデータ出力切換回路からのデータを選択して出力する第2の選択回路とを有することを特徴とする半導体記憶装置。

発明の詳細な説明

(産業上の利用分野)

本発明は、半導体記憶装置に関し、特に誤り訂正回路を備えた半導体記憶装置に関する。

ビットメモリ2_a及びパリティビットメモリ3_aに記憶され、これら主ビットメモリ2_a及びパリティビットメモリ3_aから読出されたデータは誤り訂正論理回路5_aを経由して出力される構成となっているので、さほど高い信頼度が要求されず誤り訂正処理を必要としないようなデータを格納する場合、パリティビットメモリ3_aを単なるデータの格納場所として使用することができず、メモリの有効活用ができないという欠点がある。

本発明の目的は、パリティビットメモリを単なるデータの格納場所として使用することができ、メモリを有効活用することができる半導体記憶装置を提供することにある。

(課題を解決するための手段)

第1の発明の半導体記憶装置は、第1及び第2の出力端を備え、モード制御信号及び選択制御信号のレベルに応じて入力データを前記第1及び第2の出力端へ伝達する選択回路と、書込み動作時この選択回路の第1の出力端からのデータを記憶し、読出し動作時記憶されているデータを読出す

(従来の技術)

従来、この種の半導体記憶装置は、一例として第5図に示すように、入力データDTIに対し入力側の誤り訂正論理処理を行い主ビット及びパリティビットを出力する入力側の誤り訂正論理回路5_cと、書込み動作時、書込み制御信号WEに従って主ビットを記憶し、読出し動作時、読出し制御信号REに従って記憶されているデータを読出す主ビットメモリ2_bと、書込み動作時、書込み制御信号WEに従ってパリティビットを記憶し、読出し動作時、読出し制御信号REに従って記憶されているデータを読出すパリティビットメモリ3_bと、主ビットメモリ2_b、パリティビットメモリ3_bからのデータに対し出力側の誤り訂正論理処理を行い誤り訂正された出力データDTOとして出力する出力側の誤り訂正論理回路5_cとを有する構成となっていた。

(発明が解決しようとする課題)

上述した従来の半導体記憶装置は、入力データDTIは必ず誤り訂正論理回路5_cを経由して主

主ビットメモリと、書込み動作時前記選択回路の第2の出力端からのデータを記憶し、読出し動作時記憶されているデータを読出すパリティビットメモリと、前記モード制御信号が能動レベルのとき前記主ビットメモリ及びパリティビットメモリからのデータに対し誤り訂正処理を行い出力し、前記モード制御信号が非能動レベルのとき前記選択制御信号のレベルに応じて前記主ビットメモリ及びパリティビットメモリからのデータを選択し出力する選択・誤り訂正回路とを有している。

第2の発明の半導体記憶装置は、第1～第3の出力端を備え、入力データを、モード制御信号が能動レベルのとき前記第1の出力端へ伝達し、前記モード制御信号が非能動レベルのとき選択制御信号のレベルに応じて前記第2及び第3の出力端へ伝達する第1の選択回路と、前記第1の選択回路の第1の出力端からのデータに対し所定の誤り訂正論理処理を行い主ビット及びパリティビットを出力する第1の誤り訂正論理回路と、書込み動作時、前記モード制御信号が能動レベルであれば

前記主ビットを記憶し非能動レベルであれば前記第1の選択回路の第2の出力端からのデータを記憶し、読出し動作時記憶されているデータを読出す主ビットメモリと、前記第1の選択回路の第3の出力端からのデータを入力しこのデータを所定のビット単位で出力する第1のデータ出力切換回路と、書込み動作時、前記モード制御信号が能動レベルであれば前記パリティビットを記憶し非能動レベルであれば前記第1のデータ出力切換回路からのデータを記憶し、読出し動作時記憶されているデータを読出すパリティビットメモリと、前記主ビットメモリ及びパリティビットメモリからのデータに対し所定の誤り訂正論理処理を行い出力する第2の誤り訂正論理回路と、前記パリティビットメモリからのデータを入力しこのデータを所定のビット単位で出力する第2のデータ出力切換回路と、前記モード制御信号が能動レベルのとき前記第2の誤り訂正論理回路からのデータを出し、前記モード制御信号が非能動レベルのとき前記選択制御信号のレベルに応じて前記主ビット

メモリ及び第2のデータ出力切換回路からのデータを選択して出力する第2の選択回路とを有している。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は第1の発明の一実施例を示すブロック図である。

この実施例は、第1及び第2の出力端を備え、モード制御信号 \overline{ECC} 及び選択制御信号 A_n (A_n はアドレス信号の最上位ビット)のレベルに応じて入力データDTIを第1及び第2の出力端へ伝達する選択回路1と、書込み動作時、書込み制御信号WEに従ってこの選択回路1の第1の出力端からのデータを記憶し、読出し動作時、読出し制御信号REに従って記憶されているデータを読出す主ビットメモリ2と、書込み動作時、同様に選択回路1の第2の出力端からのデータを記憶し、読出し動作時、同様に記憶されているデータを読出すパリティビットメモリ3と、モード制御

信号 \overline{ECC} が能動レベルのとき主ビットメモリ2及びパリティビットメモリ3からのデータに対し誤り訂正処理を行い出力し、モード制御信号 \overline{ECC} が非能動レベルのとき選択制御信号 A_n のレベルに応じて主ビットメモリ2及びパリティビットメモリ3からのデータを選択し出力する選択・誤り訂正回路4とを有する構成となっている。

第2図及び第3図はそれぞれこの実施例の選択回路1及び選択・誤り訂正回路の具体例を示す回路図である。

次に、この実施例の動作について説明する。

まず、モード制御信号 \overline{ECC} が非能動(高レベル)の誤り訂正モードでない場合について説明する。

選択回路1では、モード制御信号 \overline{ECC} が高レベルであるので、アドレス信号の最上位ビットである選択制御信号 A_n がNANDゲートNAG1、NAG2を通過してトランスファゲートTG1、TG2へ伝達される。

従って入力データDTIが選択制御信号 A_n のレベルに応じて第1の出力端(主ビットメモリ2側)及び第2の出力端(パリティビットメモリ3側)へ分配される。

主ビットメモリ2及びパリティビットメモリ3はそれぞれ、選択回路1により分配されたデータを書込み制御WEに従って記憶し、読出し制御信号REに従って読出す。

選択・誤り訂正回路4では、モード制御信号 \overline{ECC} が高レベルであるので、選択制御信号 A_n がNANDゲートNAG3、NAG4を通過してトランスファゲートTG3～TG6に伝達され、選択制御信号 A_n が低レベルのときはトランスファゲートTG3、TG6がオン、トランスファゲートTG4、TG5がオフとなり、主ビットメモリ2からのデータがNORゲートNOG1、インバータIV1を介して出力され、選択制御信号 A_n が高レベルのときはパリティビットメモリ3からのデータが出力される。

こうして主ビットメモリ2及びパリティビット

メモリ3を同等に単なるデータの格納場所として使用することができる。

モード制御信号 \overline{ECC} が低レベルの誤り訂正モードのときは、選択回路1は、NANDゲートNAG1、NAG2の出力は共にオンとなり、1つの入力データDTIを第1及び第2の出力端へ同時に出力する。

これら出力データは主ビットメモリ2及びパリティビットメモリ3に格納されて読出される。

選択・誤り訂正回路4では、NANDゲートNAG3、NAG4の出力が共に高レベルとなるので、トランスファゲートTG3、TG4がオン、トランスファゲートTG5、TG6がオフとなって、主ビットメモリ2及びパリティビットメモリ3からのデータがNORゲートNOG1に入力され、ここでNOR論理処理が行なわれてインバータIV1を介して出力される。

一般に、主ビットメモリ2及びパリティビットメモリ3のデータ不良は、“1”から“0”へ変化する不良が殆どであるので、NORゲートNO

G1を通すことによりその誤り訂正を行うことができる。

第4図は第2の発明の一実施例を示すブロック図である。

この実施例は、第1～第3の出力端を備え、8ビットの入力データDTIを、モード制御信号 \overline{ECC} が能動レベルのとき第1の出力端へ伝達し、モード制御信号 \overline{ECC} が非能動レベルのとき選択制御信号A_nレベルに応じて第2及び第3の出力端へ伝達する第1の選択回路1_aと、第1の選択回路1_aの第1の出力端からのデータに対し入力側の誤り訂正論理処理を行い8ビットの主ビット及び4ビットのパリティビットを出力する入力側の誤り訂正論理回路5_aと、書込み動作時、モード制御信号 \overline{ECC} が能動レベルであれば前記主ビットを記憶し非能動レベルであれば第1の選択回路1_aの第2の出力端からのデータを記憶し、読出し動作時記憶されているデータを8ビット単位で読出す主ビットメモリ2_aと、第1の選択回路1_aの第3の出力端からのデータを入力し

このデータを4ビット単位ずつ出力する入力側のデータ出力切替回路6_aと、書込み動作時、モード制御信号 \overline{ECC} が能動レベルであれば前記パリティビットを記憶し非能動レベルであればデータ出力切替回路6_aからのデータを記憶し、読出し動作時記憶されているデータを4ビット単位で読出すパリティビットメモリ3_aと、主ビットメモリ2_a及びパリティビットメモリ3_aからのデータに対し出力側の誤り訂正論理処理を行い8ビットのデータを出力する出力側の誤り訂正論理回路5_bと、パリティビットメモリ3_aからの4ビット単位のデータを入力しこのデータを8ビット単位で出力する出力側のデータ出力切替回路6_bと、モード制御信号 \overline{ECC} が能動レベルのとき誤り訂正論理回路5_bからのデータを出力し、モード制御信号 \overline{ECC} が非能動レベルのとき選択制御信号A_nのレベルに応じて主ビットメモリ2_a及びデータ出力切替回路6_bからのデータを選択して出力する第2の選択回路1_bと、データ出力切替回路6_a、6_b及びパリティビットメモリ3_a

のデータの入出力を制御するアドレスシフト回路7及びアドレスイクリメント回路8とを有する構成となっている。

この実施例は、モード制御信号 \overline{ECC} が能動レベルのときは、入力データDTIを、入力側の誤り訂正論理回路5_aを通して主ビットメモリ2_a及びパリティビットメモリ3_aへ格納し、これら主ビットメモリ2_a及びパリティビットメモリ3_aから読出されたデータを出力側の誤り訂正論理回路5_bを通して出力するようにし、モード制御信号 \overline{ECC} が非能動レベルのときは、入力データDTIを、誤り訂正論理回路5_aを通さないで主ビットメモリ2_a、パリティビットメモリ3_aへ格納し、これら主ビットメモリ2_a、パリティビットメモリ3_aから読出されたデータを誤り訂正論理回路5_bを通さないで出力するようにしたものであり、モード制御信号 \overline{ECC} が非能動レベルのとき、4ビット単位でデータの入出力を行うパリティビットメモリ3_aを使用して、8ビット

単位の入力データDTIを格納し、8ビット単位で出力することができる利点がある。また、より高度の信頼度が要求されるデータが混在する場合には、この第2の発明を適用するのが望ましい。

(発明の効果)

以上説明したように本発明は、高度の信頼度が要求されるデータに対しては誤り訂正モードにして誤り訂正回路を通るようにし、高度の信頼度が要求されないデータに対しては誤り訂正回路を通さないで主ビットメモリ、パリティメモリを単なるデータの格納場所とする構成とすることにより、高度の信頼度が要求されるデータに対しては高い信頼度を得ることができ、高度の信頼度が要求されないデータに対しては記憶容量を増大させることができる効果がある。

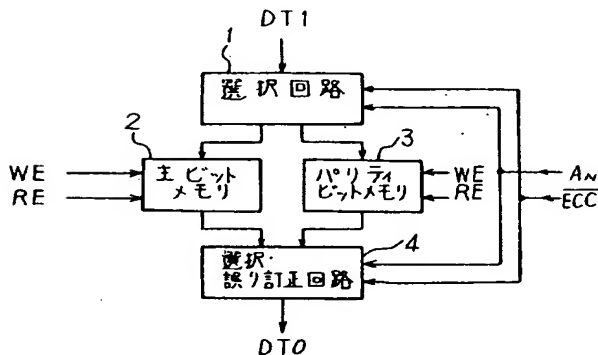
図面の簡単な説明

第1図は第1の発明の一実施例を示すブロック図、第2図及び第3図はそれぞれ第1図に示された実施例の選択回路及び選択・誤り訂正回路の具

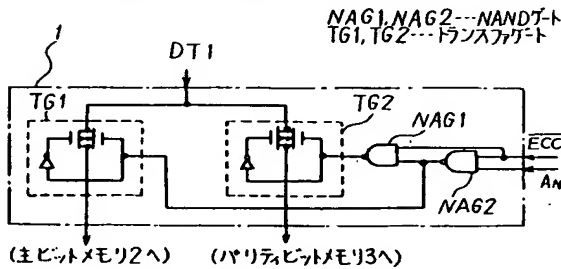
体例を示す回路図、第4図は第2の発明の一実施例を示すブロック図、第5図は従来の半導体記憶装置の一例を示すブロック図である。

1, 1A, 1B...選択回路、2, 2A, 2B...主ビットメモリ、3, 3A, 3B...パリティビットメモリ、4...選択・誤り訂正回路、5A~5B...誤り訂正論理回路、6A, 6B...データ出力切替回路、7...アドレスシフト回路、8...アドレスインクリメント回路、IV1...インバータ、NAG1~NAG4...NANDゲート、NOG1...NORゲート、TG1~TG6...トランスファゲート。

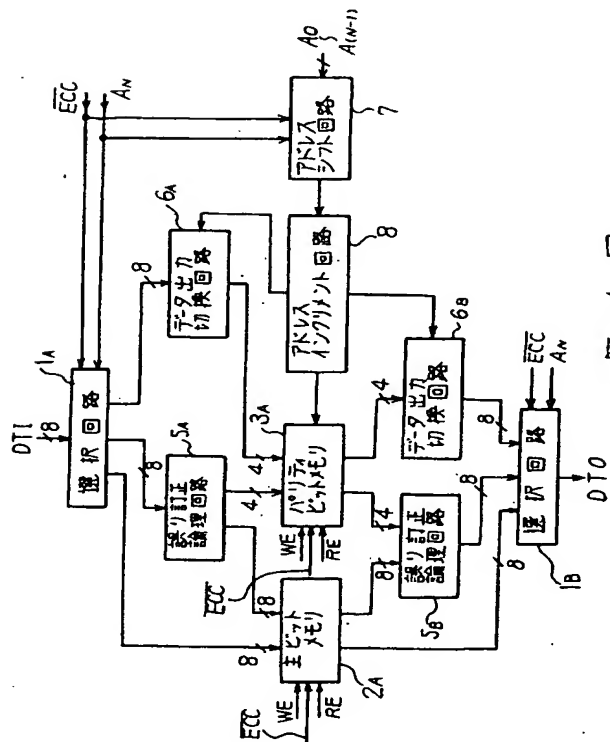
代理人 井理士 内 原 晋



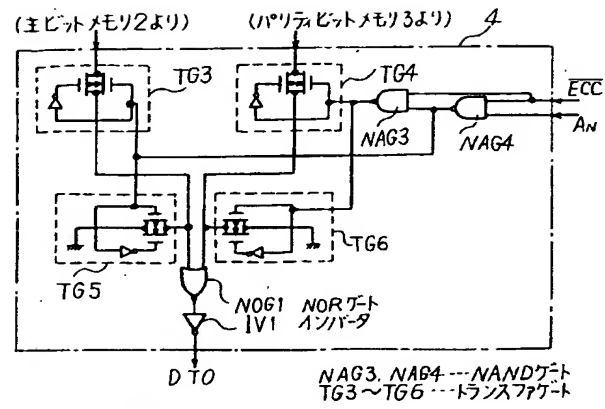
第 1 図



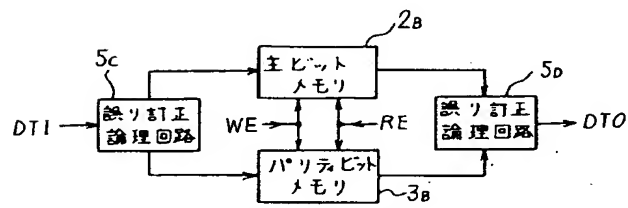
第 2 図



第 4 図



第 3 図



第 5 図